

## JP57208722

Publication Title:

DIGITAL FILTER

Abstract:

Abstract of JP57208722

**PURPOSE:**To make mass-production possible and to reduce the cost, by constituting a basic block with a delay element train of outgoing and incoming paths and an operating circuit, and constituting a digital filter with a plurality of basic blocks. **CONSTITUTION:**An operating circuit consisting of incoming delay elements 12,13- 1-13-4, outgoing delay elements 16-1-16-4, an adder and a multiplier is used as a basic block and constituted on a printed circuit board or an IC chip, and a linear phase type digital filter is constituted by coupling plural basic blocks in cascade connection. A selector selecting either one of the output of the delay elements 13-3 or 13-4 and a selector 18 selecting either one of the output of the selector 32 or the delay element 16-1 are provided, allowing to select an even number or odd number of stage of the basic block at the final stage.

Data supplied from the esp@cenet database - Worldwide

-----  
Courtesy of <http://v3.espacenet.com>

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-208722

⑮ Int. Cl.<sup>3</sup>  
H 03 H 17/06

識別記号

庁内整理番号  
8124-5 J

⑬ 公開 昭和57年(1982)12月21日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ デジタルフィルタ

⑯ 発明者 岩瀬清一郎

厚木市旭町4丁目14番1号ソニ  
ー株式会社厚木工場内

⑰ 特 願 昭56-94499

⑱ 出 願 昭56(1981)6月18日

⑰ 出 願 人 ソニー株式会社

⑲ 発 明 者 脇田俊昭

東京都品川区北品川6丁目7番  
35号

厚木市旭町4丁目14番1号ソニ  
ー株式会社厚木工場内

⑳ 代 理 人 弁理士 土屋勝 外1名

明 細 書

1. 発明の名称

デジタルフィルタ

2. 特許請求の範囲

往路及び復路の遅延素子列と、これらの遅延素子列の箇々の遅延素子の出力に所定の係数を掛けて加え合わせる演算処理を行う演算回路とでもつてフィルタの基本ブロックが構成され、この基本ブロックを複数個縦列結合して所定の遅延段数のデジタルフィルタを構成し得る様にし、上記演算回路の出力と前段ブロックの上記演算処理された出力とを加え合わせて後段ブロックに伝達する伝達回路と、最後段のブロックの場合に上記往路及び復路の遅延素子列の後端側を結合する結合回路とが夫々の基本ブロックに設けられていることを特徴とするデジタルフィルタ。

3. 発明の詳細な説明

本発明はデジタルフィルタに関し、特に係数が対称な非逆回型デジタルフィルタに用いて最適なものである。

デジタル化されたアナログ信号をそのサンプル間期ごとに復数回遅延して復数個の遅延信号を形成し、これらの遅延信号<sup>①</sup>夫々に係数を掛けて加算して、帯域分離、帯域制限等の処理を施したデジタル信号を得るようにしたデジタルフィルタが知られている。このようなデジタルフィルタでは、遅延段数が多くなると、1枚の基板上に処理回路をマウントすることができなくなり、複数の基板に回路を分配しなければならなくなる。

本発明は、1枚の基板またはICチップにデジタルフィルタの基本ブロックを収容させて、この基本ブロックを複数個結合してフィルタ回路の全体を構成し得るようにすることを目的とする。

以下本発明の実施例を従来技術と共に説明する。

第1図は従来から知られている一般的なデジタルフィルタの回路図である。入力デジタル信号  $x$  は遅延素子列  $D_T$  によつてビットごと(サンプル間期ごと)に遅延され、入力信号  $x_n$  及び遅延して得られた遅延信号  $x_{n-1}$ 、 $x_{n-2}$ .....( $n-1$ 、 $n-2$ .....は  $n$  番目ビットよりも1ビット、2

ビット……………前の情報の意味)の夫々に対して係数 $a_n, a_{n-1}, a_{n-2}, \dots$ が演算器 $M_n, M_{n-1}, M_{n-2}, \dots$ によつて掛けられた後、加算器(1)で加算されて出力信号 $y$ が得られる。7段(7タップ)の非逆曲型フィルタの場合、係数は対称形であつて、係数 $a_{n-2} = a_{n-4}, a_{n-1} = a_{n-3}, a_n = a_{n-4}$ となつてゐる。

第2図は第1図のフィルタにおける演算係数の対称性を利用して、同一係数の計算を共通の演算器で行うようにしたものである。すなわち、同一係数が掛けられる一組の遅延信号を加算器 $A_n, A_{n-1}, \dots$ で加え合わせてから掛算器 $M_n, M_{n-1}, \dots$ に通つてゐる。

第1図または第2のフィルタ回路を複数の基本ブロックに分けて、夫々をプリント基板上に設け、全体の回路が構成されるように各プリント基板間を結合するようにした場合、各基板ブロックが同一回路で構成され、また各基本ブロック間の結合が簡単に行われるように工夫が必要である。特に、第1図及び第2図のフィルタ回路をそのまま複数

(3)

れ、端子0から前段の入力(第3図の端子0に相当する)に戻される。なお第4図の終端ブロック(10-3)以外のブロック(10-1)(10-2)においては、第3図のセレクト0が端子0に与えられる制御信号「高レベル」1または低レベル「0」によつてA入力側に接続され、遅延素子(16-1)の出力と遅延素子(16-2)の入力とが結合される。

各遅延素子0、(13-1)~(13-4)、(16-1)~(16-4)はシフトレジスタまたはラッチ回路(D型リツプフロップ)等で構成され、これらの出力のうちの一対の同一の係数を掛けるべき出力が、第2図と同じように加算器(21-1)~(21-4)によつて互に加算され、各加算出力はラッチ回路(22-1)~(22-4)を経て掛算器(23-1)~(23-4)に与えられる。これらの掛算器(23-1)~(23-4)では所定の係数 $a_m, a_{m+1}, a_{m+2}, a_{m+3}$ の計算が行われ、夫々の掛算出力は、ラッチ回路(24-1)~(24-4)、加算器(25-1)(25-2)、ラッチ回路(26-1)(26-2)及び加算器0から成る樹

(5)

の基本ブロックに分割すると、フィルタ全体の遅延段数の違い(奇数段、偶数段)があるため、同一の基本ブロックで構成することは困難になる。

第3図は本発明の一実施例を示すデジタルフィルタの基本ブロック00の回路図である。このブロックは一つのプリント基板またはICチップ上に構成される。遅延段数は片道4段(往復で8段)であつて、第4図のように3個の基本ブロック(10-1)(10-2)(10-3)を縦列組合することによつて、遅延段数が23の直線位相形デジタルフィルタが構成される。

第3図のように入力デジタル信号は端子0から遅延素子02に与えられ、更にその出力が4つの遅延素子(13-1)~(13-4)を通つて端子04に導出される。この端子04の出力は次段の入力(第3図の端子0に相当する)に与えられる。次段からの帰路信号は端子05に与えられ、4つの遅延素子(16-1)~(16-4)によつて遅延される。この帰路遅延回路の出力は最後の遅延素子(16-4)の前(遅延素子(16-3)の出力)から取り出さ

(4)

形の加算回路で一つに加え合わされる。

加算器00の出力は、端子06に与えられる前段ブロックからの演算出力(加算器00の出力に相当する)と加算器00で加え合わされ、新たな演算出力としてラッチ回路01を介して端子07に導出される。

ラッチ回路01は加算器00の出力を次段に転送するために必ず必要であり、これによつて遅延信号が1ビットの遅延を生ずる。この遅延分を補正するために、第3図の端子04に与えられる入力信号は、遅延素子02(ラッチ回路)を1度通してから遅延素子列(13-1)~(13-4)に与えられる。これによつて第3図の基本ブロックの出力側のラッチ回路01による遅延分が入力側の遅延素子02による遅延でもつて補償(バランス)される。また帰路側の遅延素子列(16-1)~(16-4)の出力は、前述の如く、1段前の素子(16-3)の出力から端子08に導出され、前段ブロックに戻される。このため遅延系においては、往路側の入力部の遅延素子02で遅れた分が、復路側の1段前の出力取出しによつて相殺されるから、基本ブロック単体

(6)

での部分な遅延量は減くなり、実質的に往路4段、復路4段の遅延と等価となる。

第3図の基本ブロックが最終段のブロックに用いられる場合には、遅延素子(13-4)の入力(A)と出力(B)との何れかを選択するセレクタ(14)及びこのセレクタ(14)の出力(B)と遅延素子(16-1)の出力(A)との何れかを選択するセレクタ(15)によつて、往路側及び復路側の遅延素子列の求値結合が行われる。セレクタ(14)は端子(14)に与えられる制御信号kでもつて動作され、またセレクタ(15)は、既述の如く端子(15)に与えられる制御信号jでもつて動作される。

第5図は奇数段のデジタルフィルタの掛算係数の配列を示すグラフである。このタイプのフィルタでは、中央の係数 $a_0$ を中心として、 $a_1 = a_{-1}$ 、 $a_2 = a_{-2}$  ……のような対称形の係数配列となる。第3図の基本ブロックを第4図のように縦列接続してこのタイプのフィルタを構成する場合、第4図の終端のブロック(10-3)においては、第3図のセレクタ(14)が制御信号k(高レベル“1”

(7)

この結果、遅延素子(13-4)の出力と遅延素子(16-2)の入力とが結合される。そして遅延素子(13-4)の入力と出力とが加算器(21-1)で加えられ、掛算器(23-1)で $a_m = a_0$ として係数掛算が行われる。

なお上述の実施例では、遅延段数が往路4段、復路4段の基本ブロックを構成したが、任意段数(例えば往路2段、復路2段)で構成することができる。往路と復路との遅延段数の和が $2N$ の場合には、往路 $N+1$ 段、復路 $N-1$ 段(±1は既述の遅延補正分)で前段及び後段との結合を行えばよい。

本発明は上述の如く、同一の基本ブロックを複数個縦列接続して高次のデジタルフィルタを構成し得るようにしたので、基本ブロックの量産化が可能であり、より低価格のデジタルフィルタを作ることができる。また最終段の基本ブロックの往路及び復路の遅延素子列の夫々の後端側の結合状態を変えることにより、遅延段数が偶数及び奇数のデジタルフィルタを簡単に構成すること

(19)

または低レベル“0”)によつてA側に接続され、またセレクタ(15)が制御信号jによつてB側に接続される。この結果、往路の遅延素子(13-3)の出力と復路の遅延素子(16-2)の入力とが結合される。

この場合、最終段の掛算器(23-1)の係数 $a_m$ として第5図の中央の係数 $a_0$ が与えられるが、同一の入力信号を有する加算器(21-1)によつて上記掛算器(23-1)の入力が2倍になっているから、実効の係数として $a_0/2$ を $a_m$ に与える。なお $a_0$ が1/5～1であれば、……… $a_{-2}$ 、 $a_{-1}$ 、 $a_0/2$ 、 $a_1$ 、 $a_2$ ………の係数列の全体を2倍にして真実精度を高めることができる。

次に第6図は偶数段のデジタルフィルタの掛算係数の配列を示すグラフである。このタイプのデジタルフィルタでは、中央の2つの係数 $a_0$ が同一であり、他は $a_1 = a_{-1}$ 、 $a_2 = a_{-2}$  ……のように対称形になっている。このフィルタを構成する場合には、第3図のセレクタ(14)がB側に切換えられまたセレクタ(15)がA側に切換えられる。

(8)

ができる。

#### 4. 図面の簡単な説明

第1図は従来から知られている一般的なデジタルフィルタの回路図、第2図は第1図の回路で同一係数の掛算を同一の掛算器で行うようにした従来から知られているデジタルフィルタの回路図である。

第3図は本発明の実施例を示すデジタルフィルタの基本ブロックを示す回路図、第4図は基本ブロックの接続態様の一例を示すブロック回路図、第5図及び第6図は夫々フィルタの掛算係数の配列のタイプを示すグラフである。

なお図面に用いられている符号において、

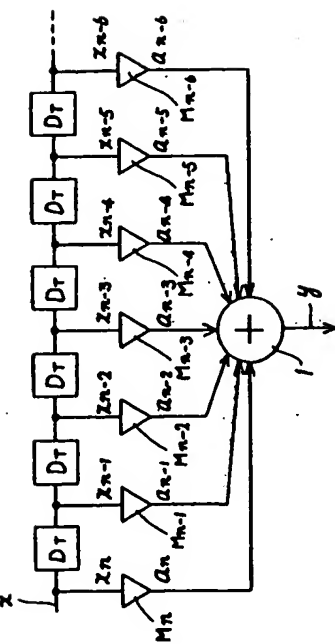
- 00 ……基本ブロック
- (13-1)～(13-4) ……遅延素子
- (16-1)～(16-4) ……遅延素子
- 08 ……セレクタ
- (21-1)～(21-4) ……加算器
- (23-1)～(23-4) ……掛算器
- (25-1)、(25-2) ……加算器
- 07 ……加算器

00

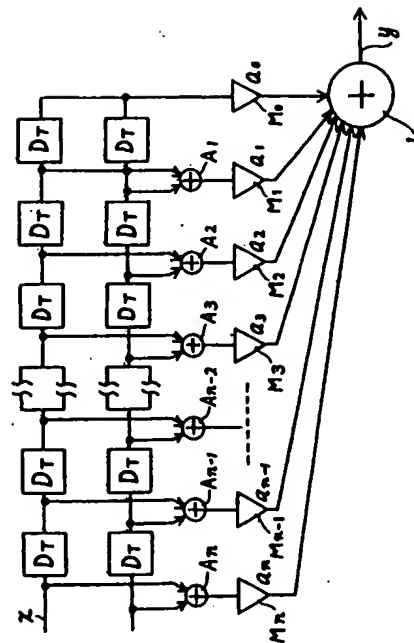
図 ..... 加算器  
図 ..... セレクタ

である。

代理人 土屋 勝  
、 松村 修

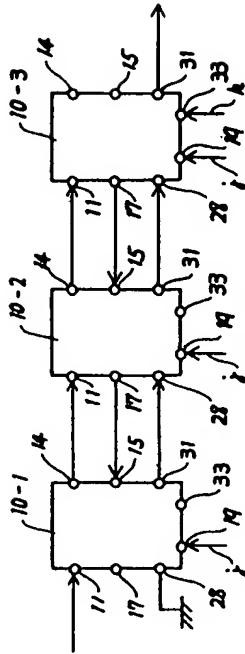


第1図

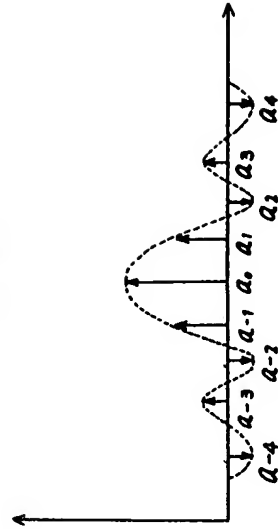


第2図

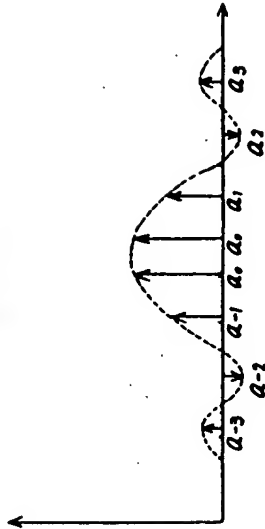
第 4 图



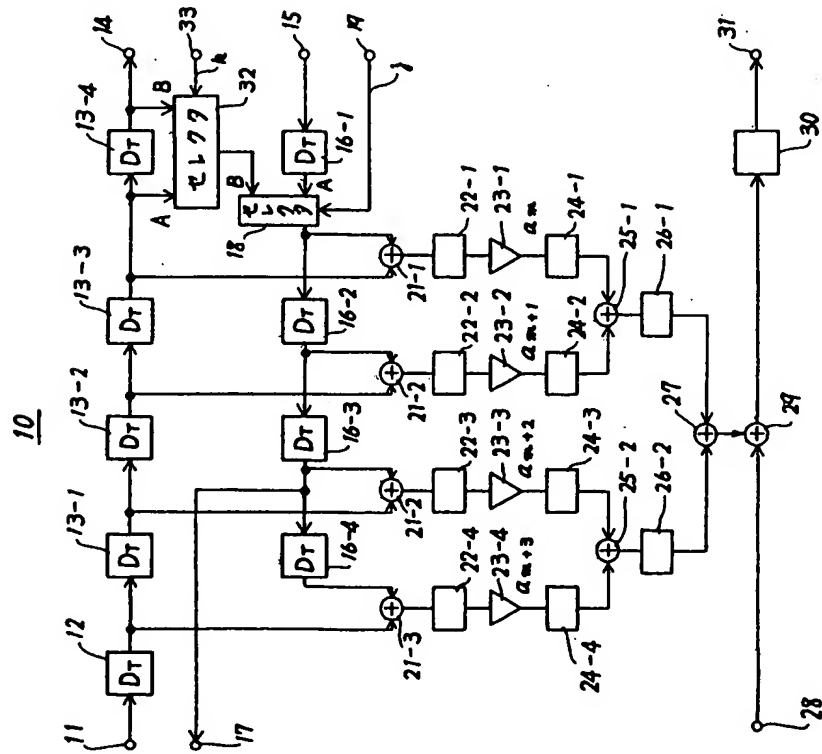
第 5 图



第 6 图



第 3 图



(自発) 手続補正書

昭和57年4月22日

特許庁長官殿

1. 事件の表示

昭和56年特許第94499号

2. 発明の名称

デジタルフィルタ

3. 補正をする者

事件との関係 特許出願人

東京都品川区北品川6丁目7番35号  
(218)ソニー株式会社

4. 代理人

〒140.  
東京都新宿区西新宿1の9の18 永和ビル  
電話東京(03) 348-0322番(代)

(6595) 弁護士 土 屋

(名)

5. 補正命令の日付 昭和 年 月 日

6. 補正により増加する発明の数

7. 補正の対象 明細書の発明の詳細な説明の欄

8. 補正の内容

57 A. 23  
小補正第二

(1)、明細書第3頁4行目の「7段」を「第1図は7段」に訂正。

(2)、同第3頁5行目の「場合、」を「場合で、」に訂正。

(3)、同第3頁7行目の「なっている。」を「なっているものとする。」に訂正。

(4)、同第4頁10行目「23」を「24」に訂正。

(5)、同第7頁11行目の「09」を「04」に訂正。

(6)、同第8頁10～11行目の「なか  $a_0$  が 0.5 ～ 1 であれば、」を「なか、例えば  $|a_0|$  が 0.5 ～ 1 で、  $a_0$  以外の絶対値が 0.5 以下であれば、」に訂正。

- 以上 -